

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-362924

(43)Date of publication of application : 15.12.1992

(51)Int.Cl.

G02F 1/1345

G02F 1/136

H01L 27/12

H01L 29/784

(21)Application number : 02-236214

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 05.09.1990

(72)Inventor : KAMIYA MASAOKI

TAKASU HIROAKI

KOJIMA YOSHIKAZU

YAMAZAKI TSUNEO

SUZUKI HIROSHI

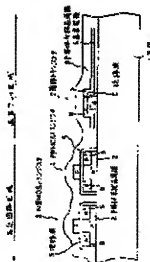
TAGUCHI MASAOKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE FOR FLAT PLATE TYPE LIGHT VALVE SUBSTRATE

(57)Abstract:

PURPOSE: To obtain a high-speed micro-miniaturized multifunctional substrate by integrating a circuit element group on a thin semiconductor single-crystal film which prescribes a peripheral circuit area.

CONSTITUTION: The surface of the substrate 1 is divided into the peripheral circuit area and picture element array sections adjoining to the peripheral circuit area, which is covered with the thin semiconductor single-crystal 2. This thin semiconductor single-crystal film 2 is selectively etched to form plural island-shaped element areas. Circuit elements which constitute a peripheral circuit are formed in those element areas. In one element area, on the other hand, N type insulation gate field-effect transistors 3 are formed and in the other element area, a P type insulation gate field-effect transistor 4 is formed. Further, a switch group consisting of picture element electrodes 6 and insulation field-effect transistors 7 is



② 日本国特許庁 (J P)

① 特許出願公開

③ 公開特許公報 (A) 平4-362924

④ Int. Cl.⁵

識別記号

庁内整理番号

⑥ 公開 平成4年(1992)12月15日

G 02 F 1/1345
1/136

5 0 0

9018-2K
9018-2K
9056-4M

H 01 L 29/78

3 1 1 C 米

審査請求 未請求 請求項の数 12 (全19頁)

⑦ 発明の名称 平板型光弁基板用半導体集積回路装置

⑧ 特 願 平2-236214

⑨ 出 願 平2(1990)9月5日

- ⑩ 発 明 者 神 谷 晶 明 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
- ⑪ 発 明 者 鷹 巢 博 昭 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
- ⑫ 発 明 者 小 島 芳 和 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
- ⑬ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号
- ⑭ 代 理 人 弁理士 林 敏之助
- 最終頁に続く

明 細 書

1. 発明の名称

平板型光弁基板用半導体集積回路装置

2. 特許請求の範囲

1. 少くとも一部電気絶縁性の膜を含む基板と、
該基板表面の少くとも一部分に配置され周辺回路区域を規定する半導体単結晶薄層と、
該周辺回路区域に隣接する画素アレイ区域に形成された画素電極及び各画素電極を選択駆電する為のスイッチ素子群と、
該周辺回路区域において半導体単結晶薄層に集積的に形成された回路素子群からなり該スイッチ素子群を駆動する為の駆動回路を含む周辺回路とから構成される光弁基板用半導体装置。
2. 該回路素子群は、シリコンからなる単結晶薄層に形成された増幅回路ゲート電界効果トランジスタを含む請求項1に記載の光弁基板用半導体装置。
3. 該周辺回路は、駆動回路を制御する為の制御回

路を含んでいる請求項1に記載の光弁基板用半導体装置。

4. 該周辺回路は、各画素電極に一時的に与えられた電荷を記憶情報として検出する為の D R A M センサアンプ回路を含む請求項1に記載の光弁基板用半導体装置。
5. 該周辺回路は、周囲温度を検出する為の温度センサを含む請求項1に記載の光弁基板用半導体装置。
6. 該周辺回路は、入射光強度を検出する為の光センサを含む請求項1に記載の光弁基板用半導体装置。
7. 該周辺回路は、電圧供給の為のソーラセルを含む請求項1に記載の光弁基板用半導体装置。
8. 該周辺回路は、基板表面の一周辺部に集積的に形成された外部接続用端子配線を含む請求項1に記載の光弁基板用半導体装置。
9. 該基板表面には部分的に半導体多結晶層膜又は、半導体非晶質層が形成されており画素アレイ区域を規定するとともに、該スイッチ素子群は半導

非多結晶薄膜又は非晶質薄膜に形成された薄膜スイッチ素子部からなる請求項1に記載の光非晶基板用半導体装置。

10. 該スイッチ素子部は、該薄膜アレイ区域に形成されたダイオード素子部からなる請求項1に記載の光非晶基板用半導体装置。

11. 少くとも一部電気絶縁性の膜を含む基板表面に半導体単結晶膜を堆積し該半導体単結晶膜を研磨する事により半導体単結晶薄膜を形成する第1工程と、

該半導体単結晶薄膜を加工し該半導体単結晶薄膜からなる周辺回路区域及びこれと隣接する薄膜アレイ区域を形成する第2工程と、

該薄膜アレイ区域に薄膜電極層及び各薄膜電極層を選択配電する為のスイッチ素子部を形成する第3工程と、

該第3工程と同時的又は前後して、該周辺回路区域に回路素子部を形成し該スイッチ素子部を駆動する為の駆動回路を含む周辺回路を形成する第4工程とからなる光非晶基板用半導体装置の製造

非選択時においてはスイッチ素子を非導電状態にしておくものである。加えて、各スイッチ素子は駆動回路を構成する周辺回路素子によって駆動される。このスイッチ素子及び周辺回路素子は被膜パネルを構成するガラス基板上に形成されている。従ってスイッチ素子及び周辺回路素子の薄膜化技術が重要である。この素子として通常薄膜トランジスタが用いられている。

従来、アクティブマトリクス装置においては薄膜トランジスタはガラス基板上に堆積された非晶質シリコン薄膜あるいは多結晶シリコン薄膜の表面に形成されていた。これら非晶質シリコン薄膜及び多結晶シリコン薄膜は真空蒸着法や化学気相成長法を用いてガラス基板上に容易に堆積できる。従って比較的大面積のアクティブマトリクス装置を製造するのに適している。従って従来型表示装置等に好適である。

ところで、近年従来型表示装置とは別に、微細化された高密度の素子を有する高画素の超小型表示装置あるいは光非晶装置に対する要求が高まって来

た。

12. 該第2工程は、該半導体単結晶薄膜を部分的に除去し、除去された部分に半導体多結晶又は半導体非晶質からなる薄膜を堆積する事により薄膜アレイ区域を形成する工程である請求項11に記載の光非晶基板用半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は従来型表示装置や投影型表示装置等に用いられる平板型光非晶の駆動用基装置に関する。より詳しくは、基板表面に被覆された半導体薄膜に薄膜電極層、スイッチ素子部、及び駆動回路素子部が形成された半導体薄膜回路基装置に関する。この基装置は例えば液晶パネルに一体的に組み込まれいわゆるアクティブマトリクス装置を構成する。

【従来の技術】

アクティブマトリクス装置の原理は簡単であり、各素子にスイッチ素子を付け、特定の素子を選択する場合には対応するスイッチ素子を導通させ、

ている。かかる超小型光非晶装置は例えば投影型画像装置の一次描画形成部として利用され、投影型のハイビジョンテレビとして応用可能である。このためには、微細半導体製造技術を用いて1 μ mオーダの縮小寸法を有し全体としても数mm程度の寸法を有する高画素の超小型光非晶の半導体薄膜基装置が望まれる。

しかしながら、従来の非晶質あるいは多結晶シリコン薄膜を用いた場合には、材料が単結晶でない為に電気駆動が低く高速動作が困難であり、さらに、微細半導体加工技術を利用してサブミクロンオーダのトランジスタ素子を形成する事ができない。例えば、非晶質シリコン薄膜の場合にはその成膜温度が300℃程度である為微細化技術に必要な高温処理を實施する事ができない。又、多結晶シリコン薄膜の場合には、結晶粒の大きさが数 μ m程度である為、必然的にトランジスタ素子の微細化が制限される。又、多結晶シリコン薄膜の成膜温度は800℃程度であり、1000℃以上の高温処理を要する微細化技術を十分に適用する事は

不可能である。以上に述べた様に、従来の非晶質又は多結晶シリコン薄膜を用いたアクティブマトリクス表示装置用半導体薄膜回路基板装置においては、通常の半導体薄膜回路素子と同程度の薄膜密度、高速動作及びチップ寸法を実現する事が極めて困難であるという問題点があった。

特に、半導体薄膜回路基板装置の小型化のために、スイッチ素子群に加えて周辺回路素子群を極めて高密度に集積形成する必要がある。しかしながら、より高度の微細化技術を要する周辺回路素子群を超高密度で多結晶シリコン薄膜あるいは非晶質シリコン薄膜に形成する事は困難であった。この為、通常のLSIチップと同程度のサイズを有するアクティブマトリクス装置用半導体薄膜回路基板装置を実現する事ができなかった。

上述した従来の技術の問題点に鑑み、本発明は素子を選択給電する為のスイッチ素子群に加えて、より高密度高密度を要する周辺回路素子群を同一基板表面上に形成する事のできる半導体基板装置の構造及び製造方法を提供する事を目的とする。

的あるいは化学的に研磨する事により半導体単結晶薄膜を全面的に形成する。次に、該半導体単結晶薄膜を選択的に加工し、該半導体単結晶薄膜からなる周辺回路区域及びこれと隣接する画素アレイ区域を形成する。例えば、半導体単結晶薄膜を部分的に除去し残された部分で周辺回路区域を構成するとともに、該半導体単結晶薄膜が除去された基板表面部分に半導体多結晶又は半導体非晶質からなる薄膜を被覆する事により画素アレイ区域を形成する。続いて、該画素アレイ区域に画素電極群及び各画素電極群を選択給電する為のスイッチ素子群を形成する。さらに、該スイッチ素子群の形成工程と同時に又は前後して、周辺回路区域に埋込LSI技術あるいはLSI技術を用いて回路素子群を高密度に集積し周辺回路を形成する。この周辺回路は例えばスイッチ素子群を駆動する為の駆動回路を含む。

【発明の作用】

上述した様に、本発明によれば半導体基板は周辺回路区域と画素アレイ区域に区分されており、

【問題点を解決するための手段】

上述した本発明の目的を達成する為に、本発明にかかる先非晶質半導体装置は、少くとも一部電気絶縁性の基板と、該基板表面の少くとも一部分に配置され周辺回路区域を規定する半導体単結晶薄膜とを具備している。該周辺回路区域に隣接して画素アレイ区域が設けられており、画素電極群及び各画素電極を選択給電する為のスイッチ素子群が形成されている。本発明の特長事項として、該周辺回路区域を規定する半導体単結晶薄膜に回路素子群が例えば埋込LSI製造技術を用いて集積的に形成されている。この回路素子群は様々な機能性を有する周辺回路を構成し、例えば該スイッチ素子群を駆動する為の駆動回路を含んでいる。

かかる構造を有する先非晶質半導体装置を製造する為に、先ず少くとも一部電気絶縁性膜を上部に設けた基板表面に半導体単結晶膜例えば埋込LSIを形成する為に通常用いられる高品質のシリコン単結晶ウェハを供給し、このウェハを機械

少くとも周辺回路区域には半導体単結晶薄膜が被覆されている。そして、周辺回路素子群はこの半導体単結晶薄膜に超高密度で集積形成されている。この為、本発明にかかる半導体薄膜回路基板装置は全体として極めて小型のチップサイズを実現する事ができる。この回路素子群は、例えばシリコン単結晶薄膜に形成された積層型絶縁ゲート電界効果トランジスタを含む。かかるCMOSTランジスタは低消費電力で高速動作が可能である。CMOSTランジスタはシリコン単結晶薄膜に対して高密度で形成する事ができるが、シリコン多結晶薄膜あるいはシリコン非晶質薄膜に対して十分な性能（特に速度）及び小さなサイズを有するCMOSTランジスタを形成する事は実際上困難である。

周辺回路区域に形成された回路素子群は様々な機能性を有する周辺回路を構成する。例えば、周辺回路は画素アレイ区域に形成されたスイッチ素子群を駆動する為の駆動回路を含んでいる。さらに、外部から入力される画素信号等に従って原

周回回路を制御する為の制御回路を含んでいる。あるいは、画素アレイ区域に形成された各画素電極に一時的に蓄えられた電荷を記憶増幅として検出する為のDRA Mセンスアンプ回路を含んでいる。さらには、周囲温度を検出する為の温度センサ、入射光強度を検出する為の光センサあるいは電源供給の為のソーラセル等を含んでいる。これらの付加的回路はリコン単結晶薄膜に対して通常の半導体製造技術を用いて極めて容易に製造することができる。

ところで、周辺回路区域に接続する画素アレイ区域は半導体単結晶薄膜を用いて形成しても良いがこの区域のみ半導体多結晶薄膜あるいは半導体非晶質薄膜を利用して良い。これらの薄膜は、半導体単結晶薄膜に比べて回路素子の高密度集積には適していないが、入射光に対して比較的感応しない。従って、入射光の影響を受けないスイッチ素子を形成する事ができる。このスイッチ素子群の集積密度は、周辺回路素子群の集積密度に比べて低いものである。かかるスイッチ素子と

しては絶縁ゲート電界効果素子の薄膜トランジスタを利用する事ができるが、より素子寸法の小さな薄膜ダイオードを利用しても良い。

[実施例]

以下図面を参照して本発明の好適な実施例を詳細に説明する。第1図は、本発明にかかる平板型光弁駆動用半導体集積回路構造の典型的な製造例を示す模式的断面図である。この図例においては、電気絶縁性の透明基板1が用いられている。図示する様に、基板1の表面は、周辺回路区域とこれに隣接する画素アレイ区域に分割されている。周辺回路区域には半導体単結晶薄膜2が被覆されている。この半導体単結晶薄膜2は選択的にエッチングされており複数の島状の素子領域を形成している。図においては、図示の為に一対の素子領域のみが示されている。これらの素子領域には周辺回路を構成する回路素子が各々形成されている。一方の素子領域にはN型の絶縁ゲート電界効果トランジスタ3が形成されており、他方の素子領域にはP型の絶縁ゲート電界効果トランジスタ

4が形成されている。一対のN型トランジスタ3とP型トランジスタ4はいわゆるCMOSトランジスタの組を構成する。CMOSトランジスタは極めて高性能な回路素子であり、高速動作及び低消費電力を特徴としている。N型MOSトランジスタ3は、P型の素子領域表面に埋蔵して形成された一対のN⁺型ドレイン領域D及びソース領域Sと絶縁膜5を介して被覆配置されたゲート電極Gとから構成されている。一方、P型トランジスタ4は、N型の素子領域の表面に埋蔵して形成されたP⁺型の一対のドレイン領域D及びソース領域Sと絶縁膜5を介して被覆配置されたゲート電極Gとから構成されている。

他方、画素アレイ区域には画素電極群及びスイッチ素子群が形成されている。図においては、1個の画素電極6と対応する1個のスイッチ素子のみが図示の為示されている。スイッチ素子は絶縁ゲート電界効果素子薄膜トランジスタ7から構成されている。薄膜トランジスタ7は、基板1の表面に形成されたゲート電極Gと、ゲート絶縁膜

5'を介して被覆された半導体多結晶薄膜8に形成された一対のドレイン領域D及びソース領域Sとから構成されている。ソース領域Sを構成する半導体多結晶薄膜8は露出されており画素電極6を構成する。半導体多結晶薄膜8の面積を数100 μ m²とする事により実質的に透明な画素電極6を構成する事ができる。

次に、第2図に平板型光弁駆動用半導体集積回路構造の模式的平面配置構造を示す。図示する様に、基板1は半導体単結晶薄膜2によって被覆された周辺回路区域と、半導体多結晶薄膜8によって被覆された画素アレイ区域に分割されている。その境界は点線で示されている。

画素アレイ区域8にはマトリクス状に配置された画素電極6の群と同じマトリクス状に配置された薄膜トランジスタ7の群が形成されている。薄膜トランジスタ7のソース電極は対応する画素電極6に接続されており、同じくゲート電極は走査線9に接続されており、同じくドレイン電極は信号線10に接続されている。

一方周辺回路区域には、第1図に示すCMOSトランジスタ等からなるXドライブ回路11が形成されている。このXドライブ回路11には、列状の信号線10が接続されている。さらに、Yドライブ回路12を含み行状の走査線9が接続されている。これらのXドライブ回路11及びYドライブ回路12は薄層トランジスタ7からなるスイッチ素子を駆動するものである。Yドライブ回路12は各走査線9を介してスイッチ素子を順番に選択するものであり、Xドライブ回路11は信号線10を介して、選択されたスイッチ素子に画像信号を供給するものである。Xドライブ回路11及びYドライブ回路12は共に類似した回路構成を有する。

第3図に、一例としてYドライブ回路12の回路ブロック構成を示す。この例においては、Y1ないしY55で示す各55本の走査線を順番に選択する様にしている。基本的構成として、55段に接続されたシフトレジスタF1ないしF55を具備している。これらシフトレジスタには、クロック信号YC、駆動信号YD、フレーション信号FSY及び

同期信号YSTB等が入力されており、走査線Y1ないしY55の選択タイミングを制御するためのタイミング信号を各ANDゲート回路を介して出力している。各ゲート回路の出力端には、レベルシフトL1ないしL55が順々に接続されている。各レベルシフトは、タイミング信号の電圧レベルを変換して出力するものである。走査線Y1ないしY55を介して各スイッチ素子のゲート電極に高電圧を印加する様にしている。通常、画素アレイを駆動する為に、15V程度の電圧が必要であるのに対して、ドライブ回路を含めた周辺回路を動作する為には、4.5V程度の電圧で十分である。その為、レベルシフトL1ないしL55を用いて、一次電圧 $V_{DD}-V_{GND}-4.5V$ を、二次電圧 $V_{DD}-V_{SS}-15V$ に昇圧しているのである。かかる構成とする事により、全体として周辺回路の低消費電力化が図られる。

次に第4図に画々のシフトレジスタFの詳細回路構成例を示す。図示する様に、シフトレジスタは複数のインバータを含んでいる。このイン

バータは第1図に示すN型MOSトランジスタ3及びP型MOSトランジスタ4の組み合わせからなるCMOSトランジスタ対で簡単に構成することができる。

さらに、第5図に画々のレベルシフトLの回路構成例を示す。図示する様に、レベルシフトは複数のインバータ及び複数のN型MOSトランジスタF1ないしF55の組み合わせから構成されている。従って、レベルシフトもシフトレジスタと同様に半導体薄膜層2の上面に高密度で集積形成することができる。

第6図は本発明にかかる半導体集積回路基板製造法を用いて形成された光半導体の一例を示す模式的分解斜視図である。図示する様に、光半導体は基板1と、該基板1に対向配置された対向基板81と、基板1と対向基板81の間に配置された電気光学物質例えば液晶82とから構成されている。前述した様に、基板1の上面には画素アレイ区域と周辺回路区域が規定されている。画素アレイ区域を被覆する半導体多結晶薄膜8の表面には、複数の

画素電極8と対応する複数のスイッチ素子7とが形成されている。又、周辺回路区域を被覆するシリコン単結晶薄膜2の表面には、Xドライブ回路11及びYドライブ回路12とが形成されている。これらの周辺回路の表面は液晶配向層83によって被覆されている。又、基板1の裏面側には図1に示すように被覆されている。

一方配向基板81はガラス基板85と、ガラス基板85の外表面に被覆された偏光板86と、ガラス基板85の内表面に形成された対向電極87とから構成されている。さらに、対向電極87の表面は液晶配向層88によって被覆されている。

かかる構成を有する光半導体の動作を簡単に説明する。多結晶薄膜トランジスタからなる画々のスイッチ素子7のゲート電極は走査線9に接続されており、Yドライブ回路12によって走査信号が印加され順番に画々のスイッチ素子7の導通及び遮断を制御する。Xドライブ回路11から出力される画像信号は信号線10を介して導通状態にある選択されたスイッチ素子7に印加される。印加さ

れた画像信号は対応する画素電極6に伝えられ、画素電極を励起し液晶12に作用してその透過率を実質的に100%とする。一方、非選択時においてはスイッチ素子7は非導通状態となり画素電極6に書き込まれた画像信号を電荷として維持する。なお液晶12は比抵抗が高く通常は容量性として動作する。液晶12は例えばネマティック層を呈するものが用いられ、上下一對の配向膜13及び14によっていわゆるツイスト配向されている。ツイスト配向されているネマティック液晶は入射光に対して旋光性を有する。液晶に対して電圧が印加されるとこの旋光性は失われる。この変化を、一對の偏光板14及び15を介して光の強度変化に変換し、光信号を行なうものである。

次に第7図(A)ないし第7図(J)を参照して、第1図に示す半導体集積回路装置の製造方法を詳細に説明する。先ず、第7図(A)に示す工程において、石英ガラスからなる透明な電気絶縁性基板11と、シリコンからなる単結晶半導体基板12とが用意される。単結晶シリコン基板12はS i

製造に用いられる高品質のシリコンウェハを用いる事が好ましく、その結晶方位は $\langle 100 \rangle$ 0.8±1.8°の範囲の一様性を有し、その単結晶格子欠陥密度は500個/cm²以下である。用意された例えば石英ガラス基板11の表面及びシリコンウェハ12の表面を先ず精密に平滑仕上げする。続いて、平滑仕上げされた両面を重ね合わせ加熱する事により両基板を融接する。この融接処理により、両基板11及び12は互いに強固に固着される。

第7図(B)に示す工程において、シリコンウェハ12の表面を研磨する。この結果、石英ガラス基板11の表面には数μm程度の所望の厚さまで研磨された単結晶シリコン薄膜73が形成される。なお、シリコンウェハ基板12を研磨化する為に機械的な研磨処理に代えて化学的なエッチング処理を用いても良い。この様にして得られた単結晶シリコン薄膜73はシリコンウェハ12の品質が実質的にそのまま保持されるので、結晶方位の一様性や格子欠陥密度に関して極めて優れた被覆基板材料を得る事ができる。

これに対して、従来より基板とシリコン単結晶薄膜の二層構造よりなるS O i基板が知られている。S O i基板は例えば絶縁物質からなる基板表面に化学気相成長法等を用いて多結晶シリコン薄膜を増殖させた後、レーザービーム照射等により加熱処理を施し多結晶薄膜を同結晶化して単結晶薄膜に変換して得られていた。しかしながら、一般に多結晶の同結晶化により得られた単結晶は必ずしも一様な結晶方位を有しておらず又格子欠陥密度が大きい。従って、キャリアのライフタイムも短く、DRAMを形成する事は困難である。これらの理由により、従来の方法により製造されたS O i基板に対してシリコンウェハと同様に微細化技術を用いる事は困難である。さらに、高質な品質を得る事も困難であった。これに対して、本発明に用いられる被覆基板は基板と高品質のシリコンウェハ単結晶薄膜からなる二層構造を有するので、通常のS i製造技術を直接に適用する事ができる。また、性能もバルクシリコンと同様に得る事ができる。

続いて、第7図(C)に示す工程において、基板11の表面全体を被覆する単結晶シリコン薄膜73の加工を行ない、周辺回路区域及び開孔アレイ区域を設定する。図においては、両区域の境界部分のみが部分的に示されている。この例においては、開孔アレイ区域に存在するシリコン単結晶薄膜をエッチングにより全面的に除去し、基板11の表面を露出させる。一方、周辺回路区域においては所定の形状にパターニングされたマスク14を介して、プラズマイオンエッチング等により選択的除去処理を行ない、シリコン単結晶薄膜73からなる被覆の島状素子領域75を形成する。図においては、両者のために1個の素子領域のみが示されている。

第7図(D)に示す工程において、島状化処理を行ない、島状にパターニングされたシリコン単結晶薄膜73の表面及び側面に二酸化シリコンからなるゲート絶縁膜78を形成する。

第7図(E)に示す工程において、化学気相成長法により基板11の全面を覆う様に多結晶シリコン膜を増殖する。この多結晶シリコン膜を所定の形

状にパタニングされたレジストマスク（図示せず）を用いて選択的にエッチングしゲート絶縁膜78の表面に第1のゲート電極G1を形成する。この時、画素アレイ区域においても同時に多結晶シリコン膜の選択的エッチングを行ない第2のゲート電極G2を形成する。

続いて第7図(f)に示す工程において、ゲート電極G1をマスクとしてゲート絶縁膜78を介して不純物のイオン注入を行ない、シリコン単結晶薄膜78の表面に第1のドレイン領域D1及び第1のソース領域S1を形成する。この結果、ゲート電極G1の下方においてドレイン領域D1とソース領域S1の間に不純物の注入されていないトランジスタチャネル形成領域が設けられる。従って、島状の素子領域79に地盤ゲート電圧効果型の単結晶薄膜トランジスタが形成される。このトランジスタは、前述した様に両面回路素子を構成する。

次に、基板71の表面全体を化学気相成長法等により二酸化シリコン被膜77で被覆する。この二酸化シリコン被膜77は第2のゲート電極G2に対し

てゲート絶縁膜を構成する。

続いて、第7図(g)に示す工程において、化学気相成長法等を用い、二酸化シリコン被膜77の表面全体に多結晶シリコン薄膜78を形成する。この多結晶シリコン薄膜78の膜厚は好ましくは数100Å程度に設定され実質的に透明である。所定の形状にパタニングされたマスク（図示せず）を介して、選択的エッチングを行ない多結晶シリコン薄膜78を部分的に除去する。

さらに、第7図(h)に示す工程において、パタニングされた多結晶シリコン薄膜78に対して選択的な不純物注入を行ない、第2のゲート電極G2の両側に第2のドレイン領域D2及び第2のソース領域S2を形成する。この不純物注入は、不純物イオン打ち込みあるいは不純物拡散により行なわれる。この結果、画素アレイ区域には第2のゲート電極G2と第2のドレイン領域D2及び第2のソース領域S2とから構成される飽和ゲート電圧効果型の多結晶薄膜トランジスタが形成される。同時に、ソース領域S2から延設された多結

晶シリコン薄膜78の部分は透明導電電極79を構成する。

最後に、第7図(i)に示す工程において、所定の電気的接続のための全面配線工程が行なわれた後、基板71の表面全体を透明な保護層80で被覆する。この結果、画素アレイ区域には、多結晶薄膜トランジスタからなるスイッチ素子と、同じく多結晶シリコン薄膜からなる画素電極が形成される。

上述した実施例においては、画素アレイ区域は多結晶シリコン薄膜で被覆されている。しかしながら、これに限られるものではなく画素アレイ区域をシリコン非晶質薄膜で被覆し、この非晶質薄膜にスイッチ素子等を形成しても良い。あるいは、画素アレイ区域にも、シリコン単結晶薄膜を設けておき、ここにスイッチ素子等を形成しても良い。しかしながら、シリコン単結晶薄膜は前述した様にシリコンウェハの膜厚により得られるのでその膜厚は数100Å程度である。従って、実質的に不透明でありこの部分を直接透明画素電極として利用することができない。その為、画素電極が形成される

部分のシリコン単結晶薄膜を選択的酸化によりフィールド酸化膜に変換する等の処理が必要である。これに対して、シリコン多結晶薄膜あるいはシリコン非晶質薄膜は真空蒸着法又は化学気相成長法等により極めて薄く形成できるから、透明画素電極としてもそのまま利用することができる。又、シリコン単結晶薄膜トランジスタは、シリコン多結晶薄膜トランジスタあるいはシリコン非晶質薄膜トランジスタに比べて入射光に起因するリーク電流が大きい。この為、スイッチ素子としてはむしろ単結晶よりも多結晶あるいは非晶質によって構成される飽和ゲート電圧効果型の薄膜トランジスタの方が好ましい。さらに、前述した様にシリコン多結晶薄膜あるいはシリコン非晶質薄膜は極めて薄く堆積できるので表面の設置寸法が小さくて狭み配線パターン等の微細化を有効に防止する事が可能となる。

本実施例においては、第1のゲート電極G1と第2のゲート電極G2は同一のシリコン多結晶薄膜を同時にパタニングして得ていた。しかしなが

ら、これに限られるものではなく、第2のゲート電極G2は例えばシリコン単結晶薄膜73を選択的にエッチングして島状の素子領域を形成する際、同時にこの膜を用いて形成する事も可能である。

次に、第8図を参照して本発明にかかる平板型光半導体用半導体集積回路装置の他の実施例を説明する。本実施例においても、基板1は点線で示す様に、画素アレイ区域と周辺回路区域に分割されている。画素アレイ区域にはマトリクス状に配置された画素電極群及びスイッチ素子群が形成されている。又、周辺回路区域はシリコン単結晶薄膜により被覆されている。この薄膜には、先の実施例と同様にXドライブ回路11及びYドライブ回路12が形成されている他、さらに種々の機能を有する付加回路13も同時に形成されている。この付加回路も高品質のシリコン単結晶薄膜に形成できるので、多様な付加回路素子群を通常のLSI技術を用いて高密度に集積する事ができる。例えば、この付加回路13としてはXドライブ回路及びYドライブ回路を制御するための制御回路が含まれる。

と、容量素子93等から形成されている。スイッチ素子91は半導体基板装置の表面に形成されており、液晶92は半導体基板装置の表面に形成された画素電極94と対向基板に形成された対向電極95の間に挟持されている。加えて、容量素子93は画素電極94と他の電極例えば信号線用電極あるいは走査線用電極との間に形成されている。あるいは、単結晶シリコン上に設ける事もできる。スイッチトランジスタ91のゲート電極は走査線Yに接続されており、同じくドレイン領域は信号線Xに接続されており、同じくソース領域は画素電極94に接続されている。走査線Yを介してスイッチトランジスタ91を導通させると信号線Xを介して所定の電荷が容量素子93に充電される。その後、直ちにスイッチトランジスタ91は走査線Yを介して非導通状態となり、充電電荷は容量素子93に蓄積される。この容量素子93の両端に生じる電圧により液晶92が駆動され光半導体を行なう。従って、第9図に示す等価回路は實質的にDRAMの1個のメモリセルと同等である。即ち、容量素子

この制御回路はビデオ信号処理回路から構成されており、外部の信号源から入力された画像信号あるいはビデオ信号を処理しXドライブ回路11に伝送する為のものである。この様に、半導体集積回路基板装置の上に、ビデオ信号処理回路を付加する事により、装置基板を直接外部の画像信号源に接続する事ができる。従って、極めて汎用性に優れた超小型の高画質装置を得る事ができる。付加的に組み込まれる回路としては、ビデオ信号処理回路の他に種々な機能を有するものが考えられる。

付加回路の一例として例えばDRAMセンスアンプ回路が含まれる。このDRAMセンスアンプ回路は、各画素電極に一時に書入れられた電荷を記憶情報として読み出す為のものであり、各画素の欠陥検出等に利用できる。先ず、第9図を参照してその原理を簡単に説明する。第9図は、ある信号線X1とある走査線Y1との交点に存在する1個の画素の等価回路を示している。画素は、トランジスタからなるスイッチ素子91と、液晶92

93は信号線X1を介して供給される画素電荷を電荷として一時記憶する機能を有する。本発明においては、この一時記憶の時間を従来のパルスシリコンを用いたDRAMと同程度に長く保つ事ができる。なぜならば、材質が同じであるからである。各画素に欠陥がない限り、メモリセルは正常に動作する。従って、容量素子に保持された電荷を、記憶情報として読み出す事により各画素の欠陥の有無を極めて簡単に高速に検出する事ができる。この為に、付加回路13には、メモリセルに記憶された電荷を読み出す為のDRAMセンスアンプ回路が含まれている。DRAMの容量及びトランジスタとして、多結晶シリコンを用いた場合には、情報保持時間が短くDRAM動作させる事は困難である。

第10図に、かかるDRAMセンスアンプ回路の回路構成を示す。第10図においては、マトリクス画素アレイの各列成分に対応する1個のDRAMセンスアンプ回路が示されている。この回路は第8図に示すXドライブ回路11及びYドラ

イバ回路12に接続されている。3段構成を有し、第1段101及び第2段102は読み出し信号に応じて動作可能状態となる。即ち、逐格的にメモリアレイと見做される画素アレイに蓄積された情報を読み出す時に、読み出し信号が出力されDRAMセンスメモリ回路が読み取り可能状態におかれる。第1段101の一方の入力端子には、Xドライバ回路11を介して信号線X₁上に読み出されるデータDX₁とその反転信号であるDX₁が供給される。第1段101はこの供給されたデータを増幅する。さらに、第2段102の入力端子にはYドライバ回路12を介して走査線上に表われる走査信号SY₁及びその反転信号であるSY₁が供給される。この第2段102は、走査信号に同期して、第1段から供給されるデータを増幅する。最後に、第3段103はバッファであり、その出力端子に読み出されたデータが逐次供給される。図示しないが、この読み出されたデータは逐次基準データと比較評価され、各画素の欠陥の有無を検出する。図から明らかな様に、DRAMセンスアンプ回路

は多数のトランスミッションゲート、インバータ及びN型とP型のトランジスタ等から構成されている。これらの回路素子は全て、絶縁ゲート電界効果型のトランジスタで構成する事ができる。シリコン単結晶薄膜はかかるトランジスタ素子群を高密度で低リーク電流、高速動作で集積するのに最も適している。特に、高速動作及び低消費電力を確保する為に、単結晶シリコンCMOSトランジスタを利用する事が可能となる。単結晶の場合、多結晶と比べライフタイムが一倍以上大きい為にDRAM集積を容易に持たす事が可能になった。

第11図に付加回路に含まれる周辺回路の他の例として光センサ回路を示す。この光センサ回路は、半導体基板上に形成される入射光の強度を検出する為のものである。一般に、光弁装置は光源を具備している。この光源には寿命があり、寿命強度は徐々に低下する。この寿命強度の低下を常時モニタすることにより、光源の保守点検あるいは交換を容易ならしめるものである。図示する様に、光センサ回路は電源電圧V_{DD}と接地端子

との間に接続されたフォトダイオード111を含む。このフォトダイオードは、一導電型の単結晶シリコン薄膜に対して、反対導電型の不純物を導入する事によりPN接合を形成して容易に増幅することができる。フォトダイオードの一端は電源電圧供給用抵抗112に接続されている。この抵抗112はシリコン単結晶薄膜に対する不純物導入により簡単に形成できる。抵抗112の一端は差動増幅器113の正入力端子に接続されている。又、差動増幅器113の負入力端子は差動増幅器113の出力端子に接続されている。この結果、差動増幅器113はバッファを形成する。本光センサ回路はさらに他の差動増幅器114を含んでいる。その正入力端子には、抵抗115を介してバッファ113の出力端子が接続されており、その負入力端子には基準電圧V_{REF}が供給されている。この差動増幅器114はフォトダイオード111によって検出された入射光強度に比例した検出電圧と基準電圧と比較する事により、検出電圧が基準電圧を下回った時に警告信号を出力する。即ち、入射光の強度が

一定レベル以下となった時に、光弁装置の光源の保守点検あるいは交換を促すのである。第11図に示す光センサ回路の各種変形例は全て、シリコン単結晶薄膜の上に集積的に形成する事が可能である。

次に第12図(A)を参照して、付加回路に含まれる周辺回路の一例として温度センサ回路を説明する。この温度センサ回路は、半導体基板上に形成される光弁に組み込んだ場合に電気光学物質例えば液晶に面接触しその温度変化をモニタする。液晶のオーバヒート等によりその動作範囲を超える恐れがある時、警告信号を発生し正常な光弁の動作を維持する為のものである。本例においては、光センサ回路は、電源V_{DD}と接地V_{SS}との間に直列接続された1個のNPNトランジスタ121と定電流回路122とから構成されている。周知の様に、NPNトランジスタのベースエミッタ間電圧V_{BE}には電圧依存性がある。従って、ベースエミッタ間電圧V_{BE}を用いて定電流I_Eを流す事により、定電流回路122の一端に温度に依存した出力電圧

V_fが得られる。この出力電圧V_fを所定の基準電圧と比較する事により、光弁装置に利用される放電のオーバーシュートを検出する事が可能となる。このNPNトランジスタ121はCMOSプロセスにおいて容易に製造する事が可能である。又、定電流回路122も複数の飽和ゲート電圧効果素子トランジスタを用いて簡単に構成する事ができる。

第12図(B)に、さらに高感度の温度特性を有する光センサ回路を示す。第12図(A)に示す例と異なる点は、2個のNPNトランジスタがゲートトランジスタと接続されている点である。この温度センサ回路もCMOS ICに内蔵でき、例えば1.5V動作でサミスタと同程度の感度を有する温度センサ回路が得られる。この温度センサ回路は、-10℃から+110℃の温度範囲で-6mV/℃の温度感度を保証でき、直線性に優れたパワファクタの小さな電流に流したものである。図示する様に、NPNトランジスタ121及び123を、ベースエミッタ間電圧が加えられる様に接続接続すると、コレクタが共通の為必然的にゲートトランジスタになる。

これに定電流回路122を介して定電流Iを供給しセンサ出力電圧V_fを得る。

第13図は、温度センサ素子として用いられるNPNトランジスタが形成された半導体集積回路基板装置の断面構造を示す模式図である。図示する様に、電気絶縁性の石英ガラス基板1の表面には単結晶シリコン薄膜2が形成されており、前述の接合基板を構成している。この接合基板の左半分には、NPNトランジスタが形成されており、右半分にはN型のMOSトランジスタが形成されている。図から明らかな様に、NPNトランジスタとN型MOSトランジスタは同時に形成する事ができる。NPNトランジスタは温度センサ素子として用いられ、N型のMOSトランジスタは例えば定電流回路を構成する素子として用いられる。N⁺型の単結晶シリコン薄膜2にP⁺型のベース拡散層を設ける。このベース拡散層内にN⁺型のエミッタ領域を形成する。P⁺型のベース拡散層はCMOSプロセスでN型MOSトランジスタのPウェルと同時に拡散され、N⁺型のエミッタ

領域はN型MOSトランジスタのN⁺型ソース領域及びドレイン領域と同時に形成できる。

次に第14図を参照して、周辺回路としてソーラセルを内蔵する平板型光弁装置用半導体集積回路装置を示す。図示する様に、基板1は2つの区域に分割されている。点線で囲まれた区域が前装アレイ区域であり、前装電極及びスイッチ素子群が集積的に形成されている。点線で囲まれた領域以外が周辺回路区域であり、Xドライブ回路11及びYドライブ回路12が形成されている。同時に、周辺回路区域の周辺部に沿ってソーラセル141が形成されている。このソーラセル141は、光弁装置に照射される入射光を電気エネルギーに変換し、前装アレイやXドライブ回路11及びYドライブ回路12に駆動電力を供給している。なお、先に述べた例との例と同様に周辺回路区域は高品質のシリコン単結晶薄膜により被覆されている。このシリコン単結晶薄膜は、基板の表面にシリコンウェハを接合した後取り除く事により得られる。ソーラセル141は、PN接合を利用して入射光の光エ

ネルギーを電気エネルギーに変換する半導体素子である。現在では、このソーラセルはシリコン薄膜を用いて、最も変換効率の高いものが得られている。従って、本発明にかかる半導体集積回路基板装置の周辺部にソーラセル素子を形成する事は極めて有効である。

第15図に、かかるソーラセルの断面構造を模式的に示す。基板1の表面に被覆された単結晶シリコン薄膜2はあらかじめN型の不純物により拡散処理を施されており、0.1ないし1 Ωcm の低抵抗率を有する。その表面部分に対して、P型の不純物例えばボロンを拡散しP型層142を形成する。この結果、光起電力を有するPN接合が得られる。さらに、基板1の表面を一般化シリコンなどからなる反射防止膜143で被覆する。この反射防止膜は真空蒸着により形成できる。従って、反射防止膜143の一部分にコンタクトホールを形成し、N型のシリコン単結晶薄膜2に金属からなる角抵抗端子144を接続する。又、反射防止膜143の他の部分にもコンタクトホールを開け、P型拡散層142

に対して金属からなる正面端子145を接続する。これらの電極端子144及び145は周辺回路に対する電極接続端子として用いられる。

第16図は、Xドライブ回路11及びYドライブ回路12から引き出される外部接続端子のパターンを示す模式的平面図である。図示する様に、外部接続端子配線部161は基板1の表面の周辺部に集中的に形成されている。この結果、外部回路との電気的接続が極めて容易になる。例えば、基板1と図示しない対向基板を重ねてヒートシールを行ない光弁装置を製造する時、同時に外部接続端子配線161に対する電気接続処理を行なう事ができる。この時、外部接続端子配線161は基板1の周辺部に形成されているので、ヒートシールを行なうための加熱材料はXドライブ回路11やYドライブ回路12に直接当接する事が無い。従って、光弁装置組立て中において、半導体集積回路基板表面の上に形成された回路素子を熱的に破壊する恐れが無い。

最後に、第17図及び第18図を参照して、画素電

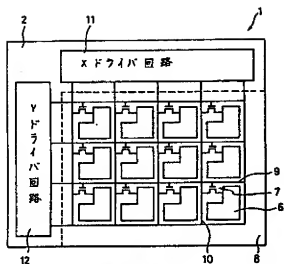
極を選択給電する為のスイッチ素子の例を示す。第17図はある信号線X1とある走査線Y1の交点に存在する1個の画素電極及び1個のスイッチ素子を示す模式的断面平面図である。図示する様に、画素電極171の一边と対応する信号線X1との間には一方のダイオード172が接続されている。又、画素電極171の他の辺と対応する走査線Y1との間には他方のダイオード173が接続されている。これら一対のダイオード172及び173が、画素電極171を選択給電する為のスイッチ素子を構成する。先に述べた実施例においてはスイッチ素子として絶縁ゲート電界効果型のトランジスタが用いられていた。このトランジスタに比べてダイオードはその素子面積が小さく従って1画素当たりの開口率を大きくとる事ができる。即ち、1画素当たりにおける透明画素領域171の占める面積割合が大きくなり、それだけ画素表示性能に優れた薄型型の光弁装置を得る事ができる。図示する様に、走査線Y1に印加される選択信号と同期して、信号線X1に画素信号を供給する事により、一対

のダイオード172及び173を介して画素電極171に電荷を供給し蓄積する事が可能となる。第18図は第17図に示す1画素部分の断面構造を示す。本実施例においては、基板1の表面に接着形成されたシリコン単結晶薄膜2をそのまま利用してダイオード172及び173を形成している。しかしながら、シリコン単結晶薄膜を画素アレイ区域から除去した後シリコン多結晶薄膜あるいは非晶質薄膜を形成し、この薄膜にダイオードを形成しても良い事は勿論である。この例においては、シリコン単結晶薄膜2を選択的にエッチングし一対の島状素子領域を形成している。各々の島状素子領域に異なる導電性の不純物を導入してP⁺領域及びN領域からなるPN接合を形成しダイオードを得ている。そして、一対のダイオード172及び173の間に、透明材料からなる画素電極171を真空蒸着等により形成する。図から明らかな様に、ダイオードを形成する為の島状素子領域の寸法は極めて小さく、従ってその分各画素の開口率を大きくとれる。図に、絶縁ゲート電界効果型薄

トランジスタを用いた場合には開口率が50%ないし60%であるのに対して、一対のダイオードを用いた場合には開口率を80%程度に向上する事ができる。

【発明の効果】

上述した様に、本発明によれば光弁装置用画板の表面を画素アレイ区域とそれに隣接する周辺回路区域に分割している。そして、少くとも周辺回路区域には基板に接着形成された高品質の半導体単結晶薄膜が形成されている。画素アレイ区域に画素電極部及びスイッチ素子部を形成するとともに、周辺回路区域の半導体単結晶薄膜に対して種々多様な機能を有する周辺回路を構成する回路素子部を集積的に形成する事ができる。即ち、単結晶シリコンを用いたトランジスタは、チップ内で例えば閾値電圧を約100mV以下のパラバクで形成できる為、高精度の周辺回路を容易に形成できる。この半導体単結晶薄膜に対しては集積回路技術を用いて、図15に匹敵する個々の機能を有する周辺回路を単結晶であるが為に容易に付加



第 2 図

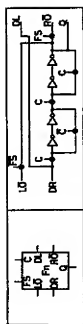


図 4

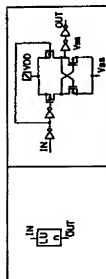


図 5

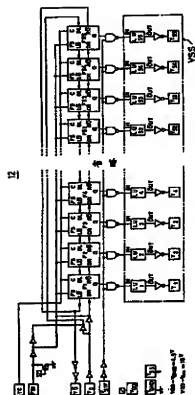
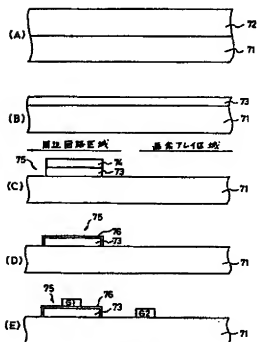
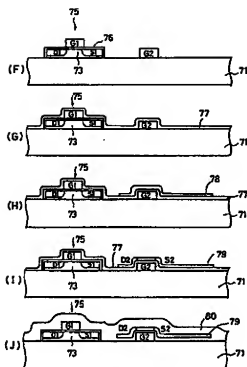


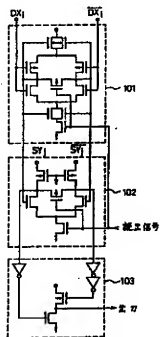
図 3



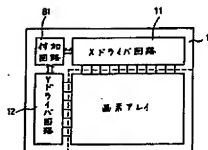
第 7 図



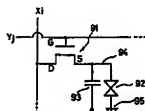
第 7 図



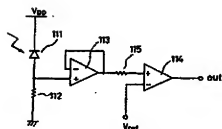
第 10 図



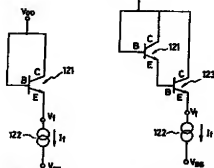
第 8 図



第 9 図

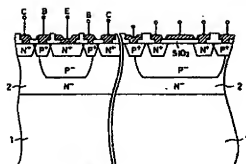


第 11 図

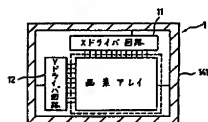


第 12 図 (A)

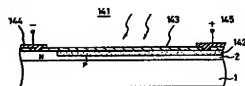
第 12 図 (B)



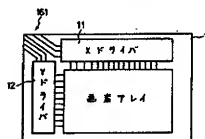
第 13 図



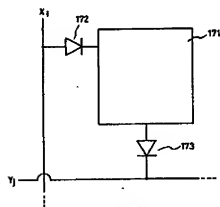
第 14 図



第 15 図



第 16 図



第 17 図



第 18 図

第1頁の続き

⑨Int.Cl.

H 01 L 27/12
28/784

発明記号

L

庁内整理番号

8728-4M

⑩発明者 山崎 恒夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
 ⑩発明者 鈴木 宏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
 ⑩発明者 田口 雅明 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

特許 出願 申請 方式

第 20

平成 4 年 4 月 24 日

特許庁長官殿

1. 事件の表示

平成 2 年 特許第 236214 号

2. 発明の名称

半導体光素子用半導体装置の製造方法

3. 修正をする者

事件との関係 出願人

東京都江東区亀戸6丁目31番1号

522-23649

(232) セイコー電子工業株式会社

代表取締役 原 雄之助

4. 代理人

〒270

千葉県佐原市千駄坂1493

(5612) 弁護士 林 敏之助

連絡先 0473-91-2135 振込 長崎県

5. 修正命令の日付

平成 4 年 3 月 21 日

6. 修正の対象

特許第 (国特許第 236214 号)

図 面 (第 7 図乃至第 13 図)

特許庁
T A O U Y特許
6. 17
1 級

7. 修正の内容

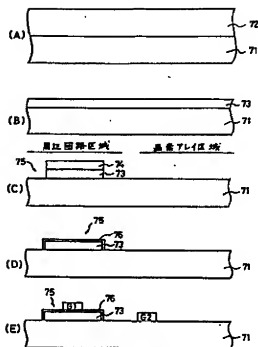
⑩ 明細書第 43 頁第 17 行目乃至第 44 頁最下行に「第 8 図は・・・第 17 図」とあるのを以下の通り修正する。

「第 8 図 (A) ないし第 6 図 (A) は第 1 図に示す光素子用半導体装置の製造方法を示す工程図、第 7 図は光素子用半導体装置の他の実施例を示す模式的平面図、第 8 図は第 1 図に示す付加回路に含まれる DRAM センスタンプ回路の動作を説明するための簡易等価回路図、第 9 図は第 7 図に示す付加回路に含まれる DRAM センスタンプ回路の詳細回路構成を示す回路ブロック図、第 10 図は第 7 図に示す付加回路に含まれる光素子回路の具体的構成例を示す回路図、第 11 図 (A) は第 7 図に示す付加回路に含まれる感度センサ回路の具体的構成例を示す回路図、第 12 図 (B) は同じく感度センサの改良された例を示す回路図、第 13 図は第 11 図 (A) に示される NPN トランジスタの構造を示す模式的断面図、第 13 図は光素子用半導体装置のさらに他の実施例を示す模式的

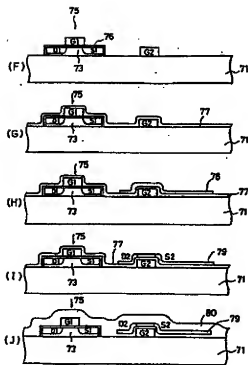
平面図、第14図は第13図に示されたソーラセルの構造を示す模式的断面図、第15図は光弁素板用半導体装置の別の実施例を示す模式的平面図、第16図は光弁素板用半導体装置の画素アレイ区域に形成されるスイッチ素子の例を示す模式的図、及び第17図は第16図の

図17図から第18図を図番号を整理して別紙の通り補正します。

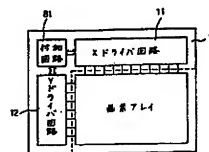
以上



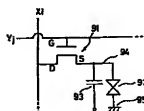
第 6 図



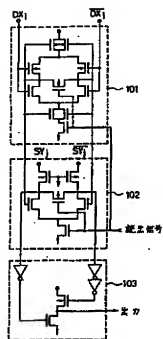
第 6 図



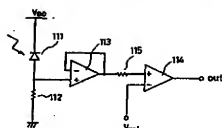
第 7 図



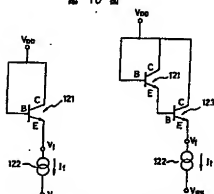
第 8 図



第 9 図

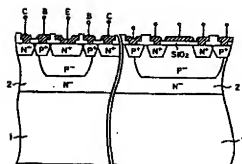


第 10 図

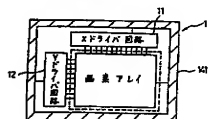


第 11 図 (A)

第 11 図 (B)



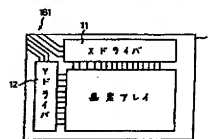
第 12 図



第 13 図



第 14 図



第 15 図

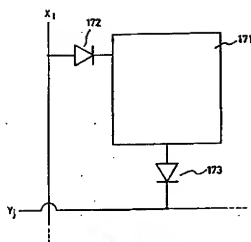


図 16 図

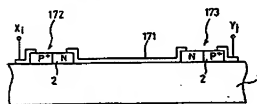


図 17 図

